

Arquitectura híbrida de TDC en FPGA: una solución eficiente en recursos para medidas de tiempo de alta precisión

martes, 16 de septiembre de 2025 14:00 (15)

La medida precisa del tiempo es un reto clave en numerosas aplicaciones científicas y tecnológicas, especialmente cuando se busca escalar a un gran número de canales sin comprometer recursos de hardware. En este trabajo presentamos una nueva arquitectura de Time-to-Digital Converter (TDC) implementada en FPGA, diseñada para maximizar la eficiencia en el uso de lógica manteniendo una resolución subnanosegundo. El diseño combina un contador de fases multicycle con elementos de retardo configurables de la propia FPGA, lo que permite mejorar la resolución con un coste mínimo en recursos lógicos.

La implementación en un dispositivo Xilinx Artix-7 alcanza una resolución de ~416 ps y una precisión de trigger de 186 ps r.m.s., con excelente linealidad. Todo ello se logra utilizando apenas unas centenas de LUTs y registros, lo que convierte la propuesta en una alternativa muy atractiva frente a TDCs convencionales. Además, se muestran resultados preliminares en una FPGA Ultrascale, que ponen de manifiesto la escalabilidad de la arquitectura y su potencial para sistemas con gran número de canales.

Primary author(s) : REAL MAÑEZ, Diego (IFIC); CALVO, David (IFIC); MANZANEDA, Mario; BURRIEL, Iván; MORENO, Alberto

Presenter(s) : REAL MAÑEZ, Diego (IFIC); CALVO, David (IFIC); MANZANEDA, Mario; BURRIEL, Iván; MORENO, Alberto

Clasificación de la sesión : Electrónica

Clasificación de temáticas : Electrónica