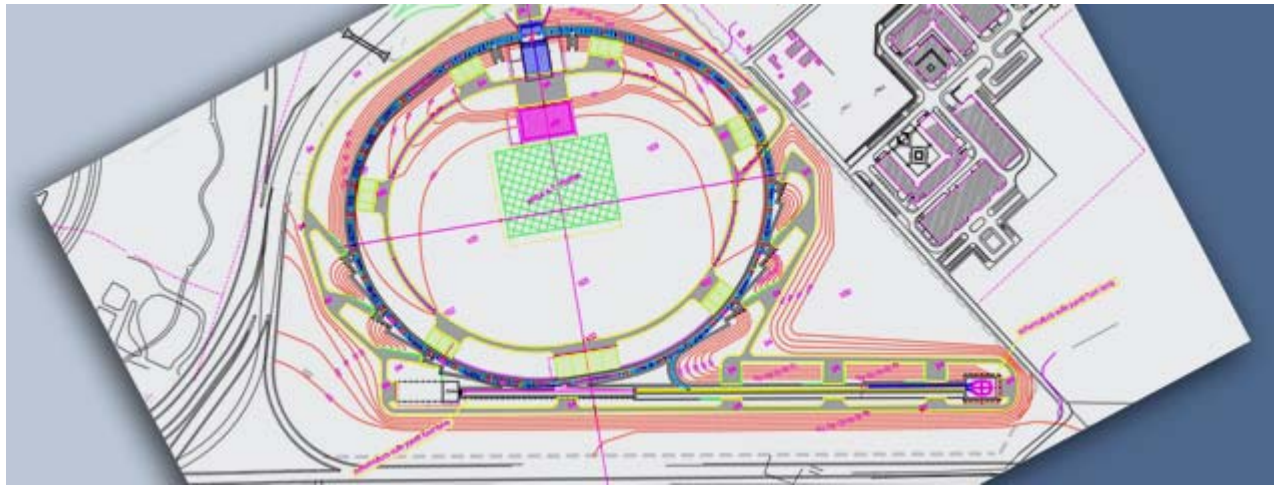


# SuperB @ IFIC



José Mazorra de Cos



# SuperB

Es un proyecto para construir un acelerador asimétrico  $e^+e^-$  orientado a buscar nueva física en los canales del B y en la frontera de la luminosidad ( $10^{36} \text{ cm}^{-2} \text{ s}^{-1}$ )

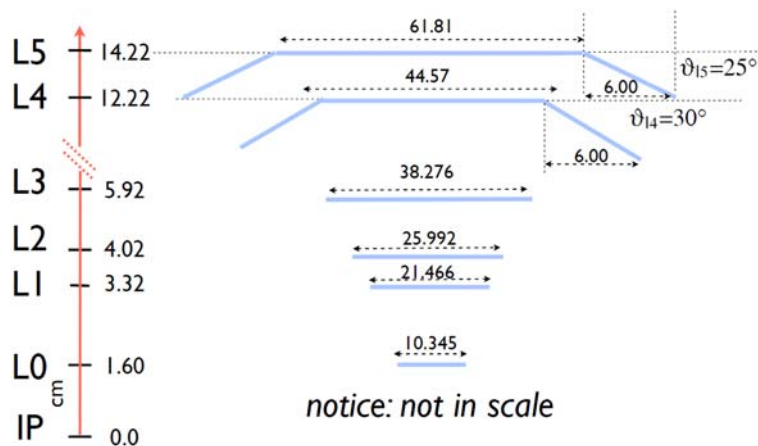
- Calendario:
- 2012: final del TDR
  - 2013: inicio construcción civil  
obtención del detector
  - 2014: ensamblado del detector
  - 2016: primero haces
  - 2017: inicio de la toma de datos





# Silicon Vertex Tracker

- Strips doble cara, sustrato tipo n de  $300\ \mu\text{m}$  (L0  $200\ \mu\text{m}$ )  $V_{\text{dep}} = 40 - 80\ \text{V}$
- Guarda, desacoplo AC ( $\approx 40\ \text{pF/cm}$ ) y resistencia de polisilicio ( $4 - 15\ \text{M}\Omega$ )
- Pitch físico  $50 - 55\ \mu\text{m}$  (strip flotantes [p] y p-stops [n]  $\rightarrow 100 - 110\ \mu\text{m}$ )
- Número de ladders: L0  $\rightarrow 8$ ; L1-3  $\rightarrow 6$ ; L4  $\rightarrow 15$ ; L5  $\rightarrow 18$  (9 modelo sensor)
- Orientación: L0  $\rightarrow 45^\circ$  [u,v]; L1-5  $\rightarrow$  alineado [ $\phi$ ,z] (pairing/ganging).
- Superficie total  $0.94\ \text{m}^2$ , con unos 150.000 canales de readout
- Toda la electrónica queda fuera de la zona de cobertura
- I+D en 5 diseños de pixeles para el upgrade del L0

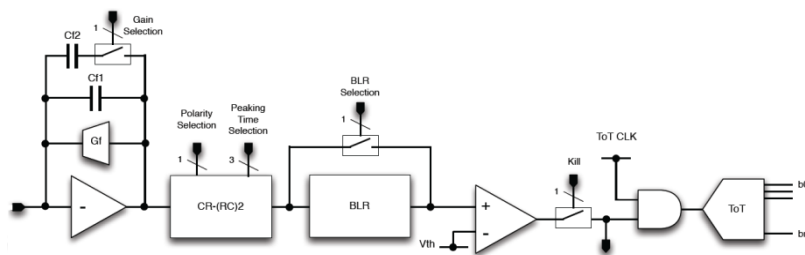


Sensor Type	0	I	II	III	IVa	IVb	Va	Vb	VI	All
Layer0	1	-	-	-	-	-	-	-	-	1
Layer1	-	2	-	-	-	-	-	-	-	2
Layer2	-	-	4	-	-	-	-	-	-	4
Layer3	-	-	-	4	-	-	-	-	-	4
Layer4a	-	-	-	-	4	-	-	-	2	6
Layer4b	-	-	-	-	-	4	-	-	2	6
Layer5a	-	-	-	-	-	-	6	-	2	8
Layer5b	-	-	-	-	-	-	-	6	2	8
Silicon Area ( $\text{m}^2$ )	0.0127	0.0554	0.0787	0.166	0.194	0.203	0.201	0.302	0.222	1.51
Nr. of Sensors	8	12	24	24	32	32	54	54	68	308
Nr. Including Spares	20	20	40	35	44	44	72	72	92	439

# Readout Analógico

## Circuito rápido (L0-1)

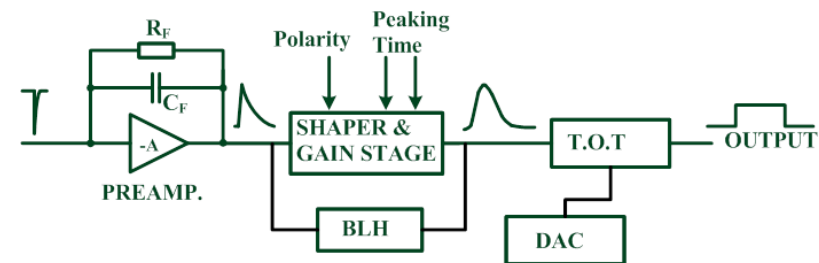
- Ganancia CSA: 3.2 – 4.9 mV/fC (1 bit)
- Tiempo subida CSA: 7ns
- Rango CSA: 240 ke<sup>-</sup> L0, 360 ke<sup>-</sup> L1-3
- Linealidad CSA: < 0.5 % (ganancia)
- T pico Shaper: 25 – 200 ns (3 bits)
- Selector de polaridad Shaper (1 bit)
- Enable para BLR y canal (indep.)
- Ruido aumenta al bajar tiempo pico
- Eficiencia > 95% (nominal); >85% tras 7.5 años (factor 5x a los fondos)
- S/N > 20 nuevo y 7.5 años (salvo L0); factor 5x a fondos supera limite S/N



L0-3

## Circuito lento (L4-5)

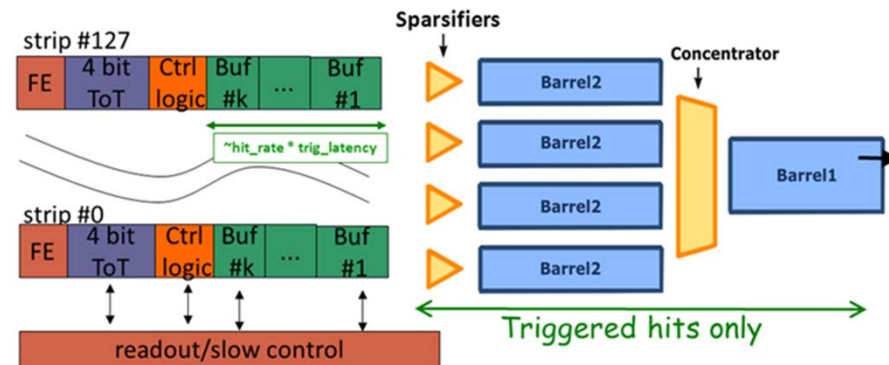
- Ganancia CSA: 82.8 dB
- Tiempo subida CSA: 28,7 ns
- Rango CSA: 57MIP
- Ancho de banda CSA: 6.95 MHz
- T pico Shaper: 375 - 1000 ns (4 bits)
- Selector de polaridad Shaper (2 bits)
- Amplificación 30% en Shaper (2 bits)
- NFET entre strip y CSA



L4-5

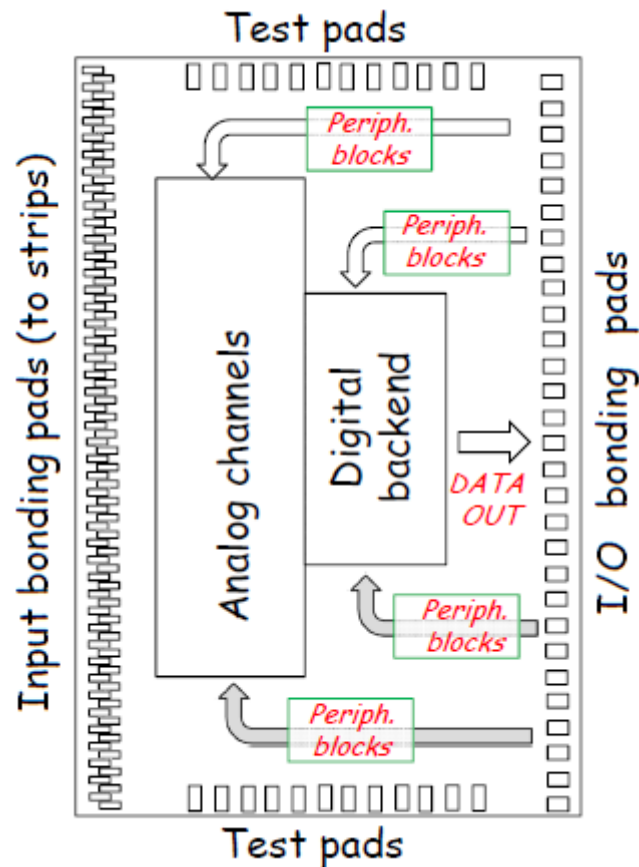
# Readout Digital

- Reloj de sistema: 66 MHz
- Reloj de readout: 132/196 MHz
- Salida 25 – 30 bits (4 sensor, 7 strip, 9 TS, 4 TOT o 7 ADC, 1 valido, 2 extra)
- Profundidad de los buffers de 32 eventos → eficiencia 100% (99.99% L0)
- Sparsifiers aplican trigger, Barrel 2 solo contiene datos a extraer
- Concentrator serializa los Barrel 2 a Barrel 1 según se van ocupando
- Trigger a 150 kHz
  - máximo tiempo muerto 10%
  - latencia 7  $\mu$ s
  - jitter 0.1  $\mu$ s
  - mínimo 70ns entre triggers



# Readout ASIC

- Diseño: Cadence IC6.1 (Virtuoso) y CMOS8RF-DM (IBM)



- Alimentación a 1.2 V (1.5 V sin reg)
- 128 canales por chip
- Consumo < 4 mW/canal
- Conexión a sensor, pitch de 45  $\mu\text{m}$
- Resistente a radiación (3Mrad/yr)

- Calendario:

- 2012  $\rightarrow$  2 test de 64 canales  
L0-3 y L4-5, aux. block incl.
- 2013  $\rightarrow$  2 prototipos 128 canales
- 2014  $\rightarrow$  producción

# Bloques Auxiliares

## Analógicos:

- Regulador de tensión  
(Valencia, Pavía/Bérgamo)
- Referencias tensión/corriente  
(Valencia, Pavía/Bérgamo)
- Buffer de tensión  
(Milán, Pavía/Bérgamo)
- Sensor de temperatura  
(Valencia, Pavía/Bérgamo)
- Inyector de pulsos  
(Pavía/Bérgamo)
- ADC monitor y DAC bias  
(Milán, Valencia, Pavía/Bérgamo)

## Digitales:

- Registros de configuración  
(Pisa)
- PLL 200 MHz  
(Pisa, Bolonia)
- Divisores de frecuencia  
(Pisa, Bolonia)
- I2C, JTAG interface  
(Pisa, Bolonia)
- Serializador de salida  
(Pisa, Bolonia)

Posible cesión de bloques IP por parte del CERN para algunas de estas necesidades  
Tema tratado la semana pasada con Alessandro Marchioro (ME section leader)



# Cuestiones de diseño

- Alimentación
  - Regulador ShuntLDO (alimentación serie)
  - DCDC
- Cableado del HDI
  - GoldChip
- Distribución de reloj
  - Alimentar tres relojes (sistema, readout, time stamp)
  - Alimentar solo reloj de sistema y generar los demás
- Sincronización
  - A nivel de Time Stamp
  - A nivel de Readout